

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder：

申請日：西元 2003 年 12 月 04 日  
Application Date

申請案號：092134162  
Application No.

申請人：威盛電子股份有限公司  
Applicant(s)

CERTIFIED COPY OF  
PRIORITY DOCUMENT

BEST AVAILABLE COPY

局長  
Director General

蔡練生

發文日期：西元 2004 年 2 月 6 日  
Issue Date

發文字號：09320112890  
Serial No.

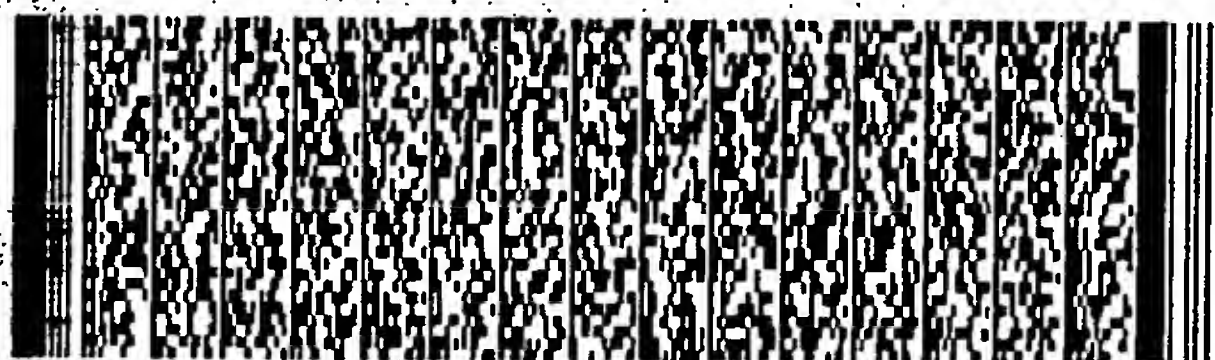
51A 119

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	精確延遲率控制的線路驅動電路
	英 文	PRECISE SLEW RATE CONTROL LINE DRIVER
二、 發明人 (共1人)	姓 名 (中文)	1. 林小淇
	姓 名 (英文)	1. LIN, JOANNA
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北縣新店市中正路五三三號八樓
	住居所 (英 文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien 231, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 威盛電子股份有限公司
	名稱或 姓 名 (英文)	1. VIA TECHNOLOGIES INC.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台北縣新店市中正路五三三號八樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
	代表人 (中文)	1. 王雪紅
	代表人 (英文)	1. WANG, HSUEH-HUNG



四、中文發明摘要 (發明名稱：精確延遲率控制的線路驅動電路)

一種精確延遲率控制的線路驅動電路，其包含一延遲率控制電路、一第一驅動電路以及一第二驅動電路。該延遲率控制電路用來控制延遲率，其包含一第一運算放大器以及一第二運算放大器。該第一驅動電路用來驅動輸出信號，其包含一第一電流源、一第二電流源、一第一切換器以及一第二切換器。該第二驅動電路用來設定轉態斜率，其包含一電容、一第三電流源、一第四電流源、一第三切換器以及一第四切換器。

五、英文發明摘要 (發明名稱：PRECISE SLEW RATE CONTROL LINE DRIVER)

A precise slew rate control line driver includes a slew rate control circuit, a first driver, and a second driver. The slew rate control circuit for slew rate control includes a first operational amplifier and a second operational amplifier. The first driver for driving output signal includes a first current source, a second current source, a first group of switches, and a second group of





四、中文發明摘要 (發明名稱：精確延遲率控制的線路驅動電路)



五、英文發明摘要 (發明名稱：PRECISE SLEW RATE CONTROL LINE DRIVER)

switches. The second driver for predetermined transient slope includes a capacitor, a third current source, a fourth current source, a third group of switches, a fourth group of switches.



六、指定代表圖

(一)、本案代表圖為：第 二 圖

(二)、本案代表圖之元件代表符號簡單說明：

10	線路驅動電路	12	第一驅動電路
14	延遲率控制電路	16	第二驅動電路
24	第一 PMOS電晶體	26	第一 NMOS電晶體
36	第一運算放大器	38	第二運算放大器
40	第一電容	42	第一電阻
44	第二電阻	46	第二電容
48	電容	50	第二 PMOS電晶體
52	第二 NMOS電晶體		
S1	第一開關	S2	第二開關
S3	第三開關	S4	第四開關
S5	第五開關	S6	第六開關
S7	第七開關	S8	第八開關



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。



## 五、發明說明 (1)

### 【技術領域】

本發明提供一種線路驅動電路，尤指一種可精準控制輸出信號之延遲率或波形之線路驅動電路。

### 【先前技術】

隨著電腦網路以及資料通訊需求的增加，資料的傳輸技術在通訊系統、信號處理以及超大型積體電路(VLSI)技術的幫助下已有重大的進展。超大型積體電路的出現允許更多的數位處理系統以及類比前端組件可被整合於單一晶片的中，使得價格更具競爭力。由於類比前端組件被整合於數位電路中，所以也必須採用較低的供應電壓源，以因應超大型積體電路技術在實體尺寸上的縮小。隨著供應電壓源的降低，要同時滿足類比電路的操作速度、信號擺幅以及線性度(linearity)等具有衝突性的問題變成相當困難。

一般的通訊系統是藉由一收發器(transceiver)來進行資料的傳輸，收發器中包含一線路驅動電路(line driver)，用來將輸出信號傳送至包含電容性以及電阻性的不同阻抗的負載上，同時線路驅動電路也要維持高線性度的傳輸。因此，線路驅動電路需具備適應各式阻抗負載的驅動能力，並且盡量地降低階波失真。再者，線路驅動電路必須確保輸出信號的軌對軌(rail-to-rail)共模範圍





## 五、發明說明 (2)

以及輸出擺幅都在一個可接受的動態範圍之間。為因應線路驅動電路的輸出信號對於軌對軌輸出擺幅以及高輸出電流對靜電流 (quiescent current) 比的需求，線路驅動電路通常會使用互補的 AB 類輸出級，常見的 AB 類輸出級使用二互補且頭尾 (head-to-tail) 連接的電晶體，在輸出電晶體的閘極電壓之間導引出一準位移動。另一個可望改善線路驅動電路特性的方法是調整靜電流，使速度與功率能達到最佳的平衡，而又不需重新設計部分的電路，例如利用由輸出信號轉換的時序資訊來偵測信號交越並且相對應的補償靜電流。

由上述可知，收發器藉由線路驅動電路將信號輸出到傳輸線上，因此收發器對於線路驅動電路的輸出信號的延遲率 (slew rate)、上升時間、下降時間都會有一定的限制。

由於線路驅動電路允許的負載範圍很大，一般如果不作延遲率控制，往往在未知負載的情況下，再加上操作、供電、溫度的變化，輸出信號幾乎是不太可能符合要求的規格。另一方面，雖然延遲率控制的方法在大部分的線路驅動電路都會用到，但大部分線路驅動電路最大的缺點就是電路太複雜了，或是雖有改善但延遲率仍然無法控制的相當精確，而且有些方法需要匹配的電流，所以輸出信號的變化也會較大。

## 【內容】





### 五、發明說明 (3)

因此本發明之主要目的在於提供一種電路結構簡單並且可精確控制輸出信號之線路驅動電路，以解決上述問題。

本發明之較佳實施例中，提供一種精確延遲率控制的線路驅動電路。第一驅動路，用來設定轉態斜率。

輸大及正放入以一算輸，含運正端包二之入其第器輸，一大負器及放之大以算器放；運大算端一放運出第算一輸該運第一接一及連第含以端該包，入接路端輸連電入正端制輸一入控負含輸。率一包負端遲，其一出延端，輸該入器端一

接，之接，之  
連端器連端器  
端入大端地大  
一輸放一接放  
第正算第一算  
一之運一接運  
含器一含連二  
包大第包端第  
其放該其二該  
，算接，第接  
源運連源一連  
流一器流，器  
電第換電端換  
一該切二入切  
第接一第輸二  
一連第一正第  
含端一；之一。  
包二由源器由端  
路第經壓大經地  
電一端電放端接  
動，制該算制該  
驅源控或運控或  
一壓一端二一端  
第電及出第及出  
該一以輸該以輸

該第二驅動電路包含一電容，其包含一第一端連接該第一



#### 五、發明說明 (4)

運算放大器之負輸入端，以及一第二端連接該接地端；一第三電流源，其包含一第一端連接該電壓源，一第二端連接該電容之第一端，以及一控制端經由一第三切換器連接一第一偏壓信號源或該電壓源；以及一第四電流源，其包含一第一端連接該電容之第一端，一第二端連接該接地信號源，以及一控制端經由一第四切換器連接一第二偏壓信號源或該接地端。

#### 【實施方法】

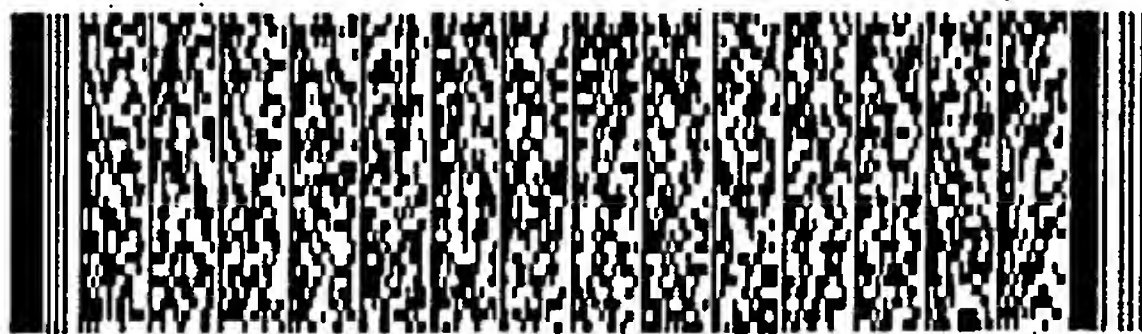
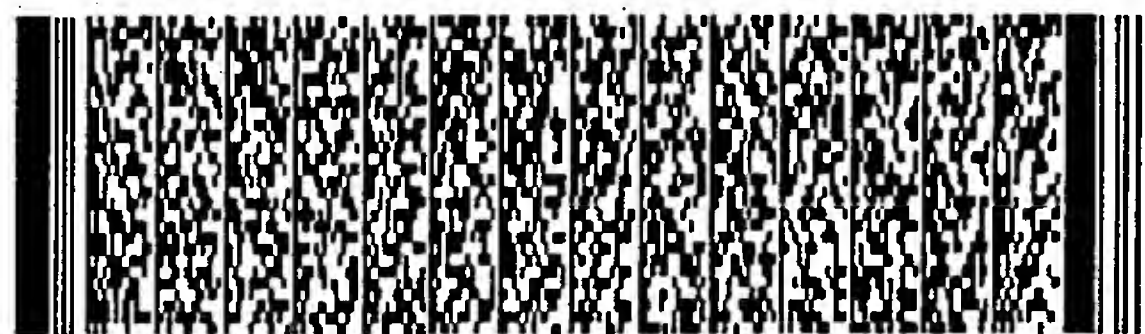
請參考圖一，圖一為本發明線路驅動電路 10 之方塊圖。線路驅動電路 10 包含三部分，分別為一第一驅動電路 12、一延遲率控制電路 14 以及一第二驅動電路 16。線路驅動電路 10 的輸出端 (OUT) 連接一未知的負載 (圖未示)，會干擾線路驅動電路 10 的輸出信號 20，除此之外，溫度的變化以及電壓源的不穩定也都會對輸出信號 20 造成干擾。為了使線路驅動電路 10 的輸出信號 20 符合一預定的規格，而不受各種干擾的影響，首先依據該預定的規格來設計第二驅動電路 16，第二驅動電路 16 連接一第一偏壓信號源 (PBIAS) 以及一第二偏壓信號源 (NBIAS)，其中第一偏壓信號來自一偏壓 PMOS 電晶體，第二偏壓信號來自一偏壓 NMOS 電晶體，二個偏壓源皆為正，此部分將在圖四作進一步說明。第二驅動電路 16 依據二偏壓信號產生輸出信號 18，藉由設定第二驅動電路 16 的元件值可調整輸出信號 18 的轉態斜率；



#### 五、發明說明 (5)

再者，第一驅動電路 12 的輸出信號 20 即為線路驅動電路 10 的輸出信號 20，由於第一驅動電路 12 以及延遲率控制電路 14 連接為一負回受迴路，第一驅動電路 12 的輸出信號 20 會被傳回延遲率控制電路 14，延遲率控制電路 14 可即時地比較第一驅動電路 12 的輸出信號 20 以及第二驅動電路 16 的輸出信號 18，並輸出控制信號 22 至第一驅動電路 12，強制第一驅動電路 12 的輸出信號 20 的轉態斜率與第二驅動電路 16 的輸出信號 18 的轉態斜率相同。因此，不論線路驅動電路 10 的輸出端連接的負載為何，第一驅動電路 12 的輸出信號 20 都會跟隨第二驅動電路 16 的輸出信號 18，使線路驅動電路 10 的輸出信號 20 符合該預定的規格。

請參考圖二，圖二為本發明線路驅動電路 10 之電路圖。對照圖一與圖二，其中，第一驅動電路 12 包含一第一 PMOS 電晶體 24、一第一 NMOS 電晶體 26、第一開關 S1、第二開關 S2、第三開關 S3 以及第四開關 S4；延遲率控制電路 14 包含一第一運算放大器 36、一第二運算放大器 38、一第一電容 40、一第一電阻 42、一第二電容 46 以及一第二電阻 44；第二驅動電路 16 包含一電容 48、一第二 PMOS 電晶體 50、一第二 NMOS 電晶體 52、一第五開關 S5、一第六開關 S6、一第七開關 S7 以及第八開關 S8。第一 PMOS 電晶體 24 的源極連接一電壓源 (Vdd)，汲極連接第一運算放大器 36 的正輸入端，閘極可經由第一開關連 S1 接第一運算放大器 36 的輸出端，或經由第二開關 S2 連接電壓源。第一 NMOS 電晶體 26 的汲極

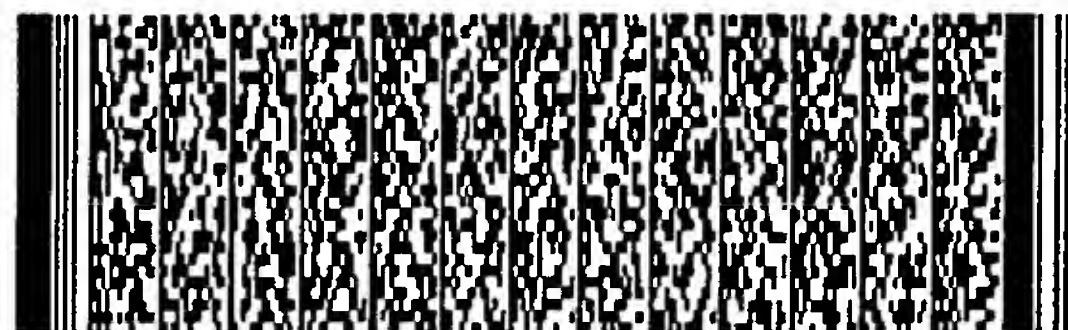




#### 五、發明說明 (6)

連接第二運算放大器 38 的正輸入端，源極連接一接地端，  
閘極可經由第三開關 S3 連接接地端，或經由第四開關 S4 連  
接第二運算放大器 38 的輸出端。第一電容 40 以及第一電阻  
42 串聯，連接於第一運算放大器 36 的正輸入端以及輸出端  
之間，作為第一運算放大器 36 的頻率補償。第二電容 46 以  
及第二電阻 44 串聯，連接於第二運算放大器 38 的正輸入端  
以及輸出端之間，作為第二運算放大器 38 的頻率補償。第  
一運算放大器 36 的正輸入端與第二運算放大器 38 的正輸入  
端相連接，第一運算放大器 36 的負輸入端與第二運算放大  
器 38 的負輸入端相連接。電容 48 的第一端連接第一運算放  
大器 36 的負輸入端，第二端連接接地端。第二 PMOS 電晶體  
50 的源極連接電壓源，汲極連接電容 48 的第一端，閘極可  
經由第五開關 S5 連接第一偏壓信號源，或經由第六開關 S6  
連接電壓源。第二 NMOS 電晶體 52 的汲極連接電容 48 的第  
一端，源極連接接地端，閘極可經由第七開關 S7 連接接  
地端，或經由第八開關 S8 連接第二偏壓信號源。

線路驅動電路 10 藉由切換第一至第八開關來產生迴路，以  
驅動輸出信號，其中奇數編號的開關（第一、三、五、七  
開關）為同步，偶數編號的開關（第二、四、六、八開關）  
為同步，而奇數編號的開關與偶數編號的開關則為反向。  
當開啟奇數編號的開關，關閉偶數編號的開關時，第一運  
算放大器 36 的負回授迴路形成，第二 PMOS 電晶體 50 的閘極  
連接第一偏壓信號源，第一偏壓信號控制第二 PMOS 電晶體

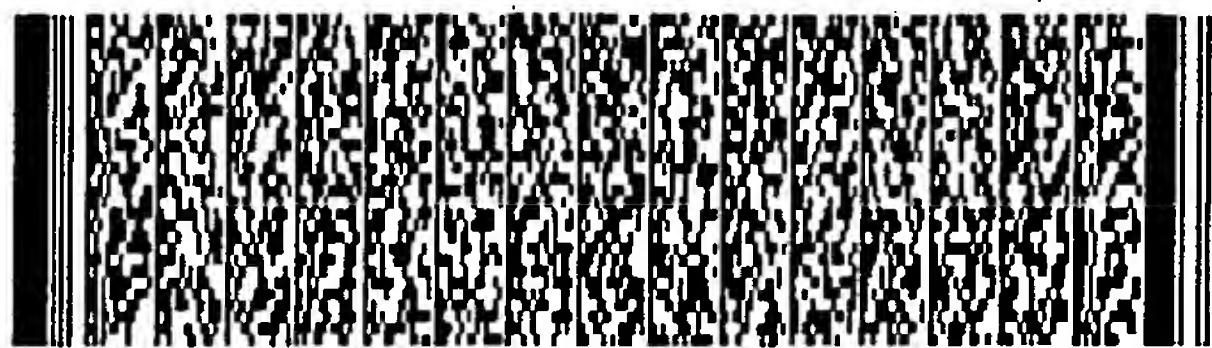
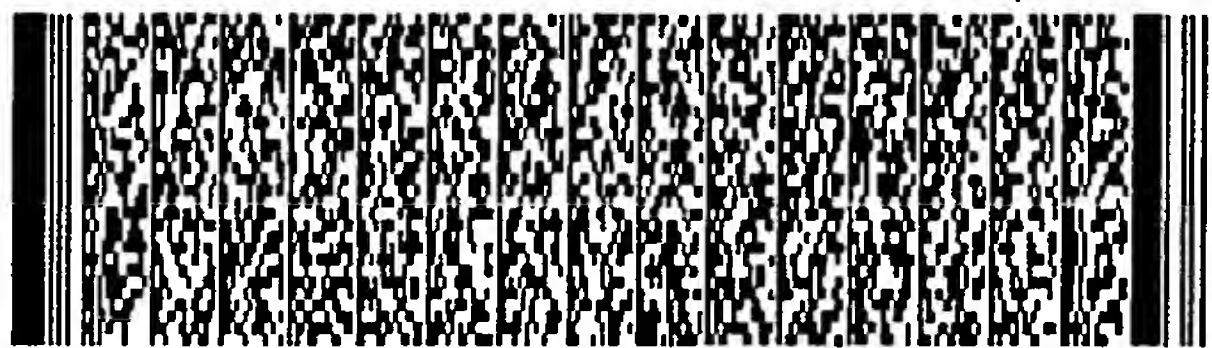




#### 五、發明說明 (7)

50的導通電流，對電容48充電，第一運算放大器36比較正、負輸入端的信號，輸出控制信號至第一PMOS電晶體24的閘極，使第一PMOS電晶體24的輸出信號與第二PMOS電晶體50的輸出信號相同。而當關閉奇數編號的開關，關閉偶數編號的開關時，第二運算放大器38的負回授迴路形成，第二NMOS電晶體52的閘極連接第二偏壓信號源，第二偏壓信號控制第二NMOS電晶體52的導通電流，對電容48放電，第二運算放大器38比較正、負輸入端的信號，輸出控制信號至第一NMOS電晶體26的閘極，使第一NMOS電晶體26的輸出信號與第二NMOS電晶體52的輸出信號相同。上述的操作中的，第一驅動電路12及第二驅動電路16並不需要有匹配的電流，因為運算放大器的可即時追蹤正、負輸入端的電壓變化值，也就是信號的轉態斜率，所以最後第一驅動電路12及第二驅動電路16會得到相同的信號的轉態斜率，不論線路驅動電路10的輸出端連接的負載為何。值得注意的不是，由於運算放大器的正、負輸入端的輸入信號的電壓值由0至Vdd，所以第一運算放大器36及第二運算放大器38都必使用軌對軌(rail to rail)輸入的運算放大器。

請參考圖三，圖三為本發明線路驅動電路10之模擬數據之示意圖。對於不同規格的要求，可由設定第二驅動電路16中電容48以及電晶體50、52的輸出電流的大小來調整輸出信號的轉態斜率，以USB 1.1 LS的規格為例，輸出信號的上升時間以及下降時間必須介於75ns-300ns之間，電容負



#### 五、發明說明 (8)

載的範圍由 150p-600p，且正負二信號的輸出具有不同的電阻負載。依據此規格，代入電容的求值公式  $dV/dT=I/C$ ，其中  $dV$  取  $0.8*V_{dd}$ ， $V_{dd}=3.3V$ ， $dT$  取 75ns 與 300ns 的幾何平均值 150ns， $I$  取操作電流 25u，則  $C=1.42p$ ，此電容值很容易在晶片上達成。假設  $I$  是由參考外部電阻所得到，可以被控制在 5% 的誤差範圍內， $C$  可由 MOS 電晶體所實現，誤差值在 10% 以內，再加上  $V_{dd}$  的有 10% 的變動，則在不需修正的情形下，就可以將轉態斜率控制在 25% 的誤差範圍內，而由電路模擬更只得到 20% 的誤差。

上述第二驅動電路 16 所接收的第一、第二偏壓信號源 (PBIAS, NBIAS) 如圖四所示，圖四為圖一中偏壓信號源的產生電路之示意圖。第一偏壓信號源 (PBIAS) 以及第二偏壓信號源 (NBIAS) 來自線路驅動電路 10 的上一級電路，主要是由一個電流鏡所組成，其中第一偏壓信號由一偏壓 PMOS 電晶體的閘極取出，第二偏壓信號由一偏壓 NMOS 電晶體的閘極取出。第一偏壓信號以及第二偏壓信號用來提供第二驅動電路 16 適當的操作電壓。

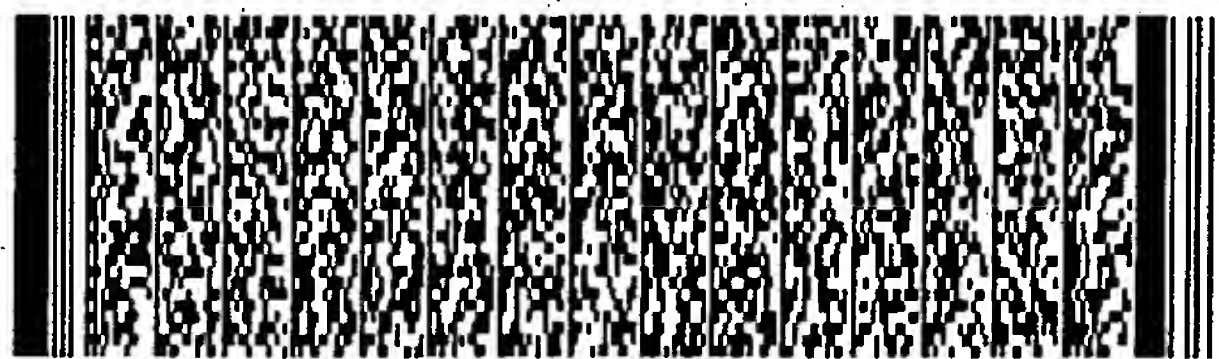
相較於習知技術，本發明線路驅動電路具有多項的優點，第一，線路驅動電路主要包含第一驅動電路、延遲率控制電路以及第二驅動電路三個部分，電路結構簡單容易實現；第二，應用範圍廣泛，線路驅動電路由於結構簡單，所以在設計上具有很大的彈性，適用於不同規格時只需要



#### 五、發明說明 (9)

修改部分的元件值；第三，線路驅動電路可精準的控制輸出信號變化，而且沒有元件或電流必需匹配的問題；第四，由電路模擬可知，輸出信號的上升時間以及下降時間對稱，而且交越點 (cross point) 約在電壓源一半的位置；第五，線路驅動電路的輸出端即使連接很大的電容負載，或當有電阻負載，也不會對輸出信號造成很大的影響。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利的涵蓋範圍。





## 圖式簡單說明

### 圖式之簡單說明

圖一為本發明線路驅動電路之方塊圖。  
圖二為本發明線路驅動電路之電路圖。  
圖三為本發明線路驅動電路之模擬數據之示意圖。  
圖四為圖一中偏壓信號源的產生電路之示意圖。

### 圖式之符號說明

10	線路驅動電路	12	第一驅動電路
14	延遲率控制電路	16	第二驅動電路
24	第一PMOS電晶體	26	第一NMOS電晶體
36	第一運算放大器	38	第二運算放大器
40	第一電容	42	第一電阻
44	第二電阻	46	第二電容
48	電容	50	第二PMOS電晶體
52	第二NMOS電晶體		
S1	第一開關	S2	第二開關
S3	第三開關	S4	第四開關
S5	第五開關	S6	第六開關
S7	第七開關	S8	第八開關





## 六、申請專利範圍

以放負端一；之一；  
算之端二由源器由端  
運器第經壓大經地  
入端第一端電放端接  
：輸第放：，制該算制該  
：包含負該算：，源控或運控或  
其包一接運包壓一端二一端  
，其，連一其電及出第及出  
路，端第，一以輸該以輸  
電率入該第號接，之接，之  
動遲輸入輸接信號，之率一  
驅延正正連輸出端入大端地大  
路制一正連輸一輸放一接放  
線控含一端輸一輸放一接放  
的來包包輸；驅一之運一接運  
制用其其負端來含器一含連二  
控，，一出用包大第包端第  
率路器及器，輸，其放該其二該  
遲電大以大端一路，算接，第接  
延制放；放入及電源運連源一連  
確控算端算輸以動流一器流，器  
精率運出運正，驅電第換電端換  
種遲一輸二之端一該切二入切  
一延第一第器入第第接一第輸二及第電，第接一第二一  
一及一大輸一一連第一正第以一一端一連接一第接



## 六、申請專利範圍

- 2.如申請專利範圍第1項所述之線路驅動電路，其中該第一電流源以及該第三電流源係為PMOS電晶體，其汲極為第一端，源極為第二端，閘極為控制端。
- 3.如申請專利範圍第1項所述之線路驅動電路，其中該第二電流源以及該第四電流源係為NMOS電晶體，其汲極為第一端，源極為第二端，閘極為控制端。
- 4.如申請專利範圍第1項所述之線路驅動電路，其中該第一切換器包含二開關，用來切換該第一電流源之控制端連接該電壓源或該第一運算放大器之輸出端。
- 5.如申請專利範圍第1項所述之線路驅動電路，其中該第二切換器包含二開關，用來切換該第二電流源之控制端連接該接地端或該第二運算放大器之輸出端。
- 6.如申請專利範圍第1項所述之線路驅動電路，其中該第三切換器包含二開關，用來切換該第三電流源之控制端連接該電壓源或該第一偏壓信號源。
- 7.如申請專利範圍第1項所述之線路驅動電路，其中該第四切換器包含二開關，用來切換該第四電流源之控制端連接該接地端或該第二偏壓信號源。



## 六、申請專利範圍

8.如申請專利範圍第1項所述之線路驅動電路，其另包含一第一電容以及一第一電阻，串聯連接於第一運算放大器之正輸入端以及輸出端之間。

9.如申請專利範圍第1項所述之線路驅動電路，其另包含一第二電容以及第二電阻，串聯連接於第二運算放大器之正輸入端以及輸出端之間。

10.如申請專利範圍第1項所述之線路驅動電路，其中該第一運算放大器以及該第二運算放大器係為軌對軌(rail to rail)輸入的運算放大器。

11.一種控制如申請專利範圍第1項所述之線路驅動電路之方法，其包含下列步驟：

(a)切換該線路驅動電路中之第一切換器至連接該第一電流源之控制端於該第一運算放大器之輸出端；  
切換該線路驅動電路中之第二切換器至連接連接該第二電流源之控制端於該接地端；  
切換該線路驅動電路中之第三切換器至連接該第三電流源之控制端於該第一偏壓訊號源；以及  
切換該線路驅動電路中之第四切換器至連接該第四電流源之控制端於該接地端；以及

(b)切換該線路驅動電路中之第一切換器至連接該第一電



#### 六、申請專利範圍

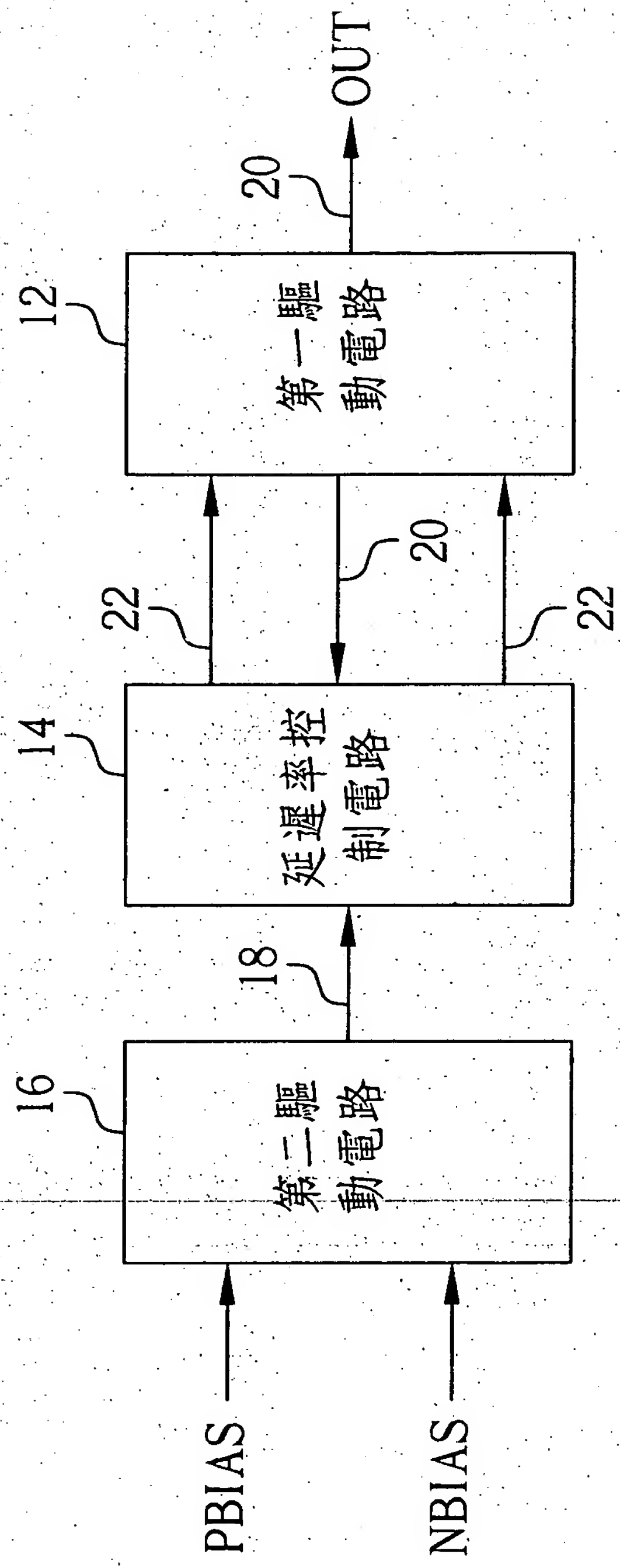
流源之控制端於該電壓源；  
切換該線路驅動電路中之第二切換器至連接該第二電流源  
之控制端於該第二運算放大器之輸出端；  
切換該線路驅動電路中之第三切換器至連接該第二電流源  
之控制端於該電壓源；以及  
切換該線路驅動電路中之第四切換器至連接該第四電流源  
之控制端於該第二偏壓訊號源。

12.如申請專利範圍第11項所述之方法，其中步驟(a)及  
(b)係執行於相異之時段。

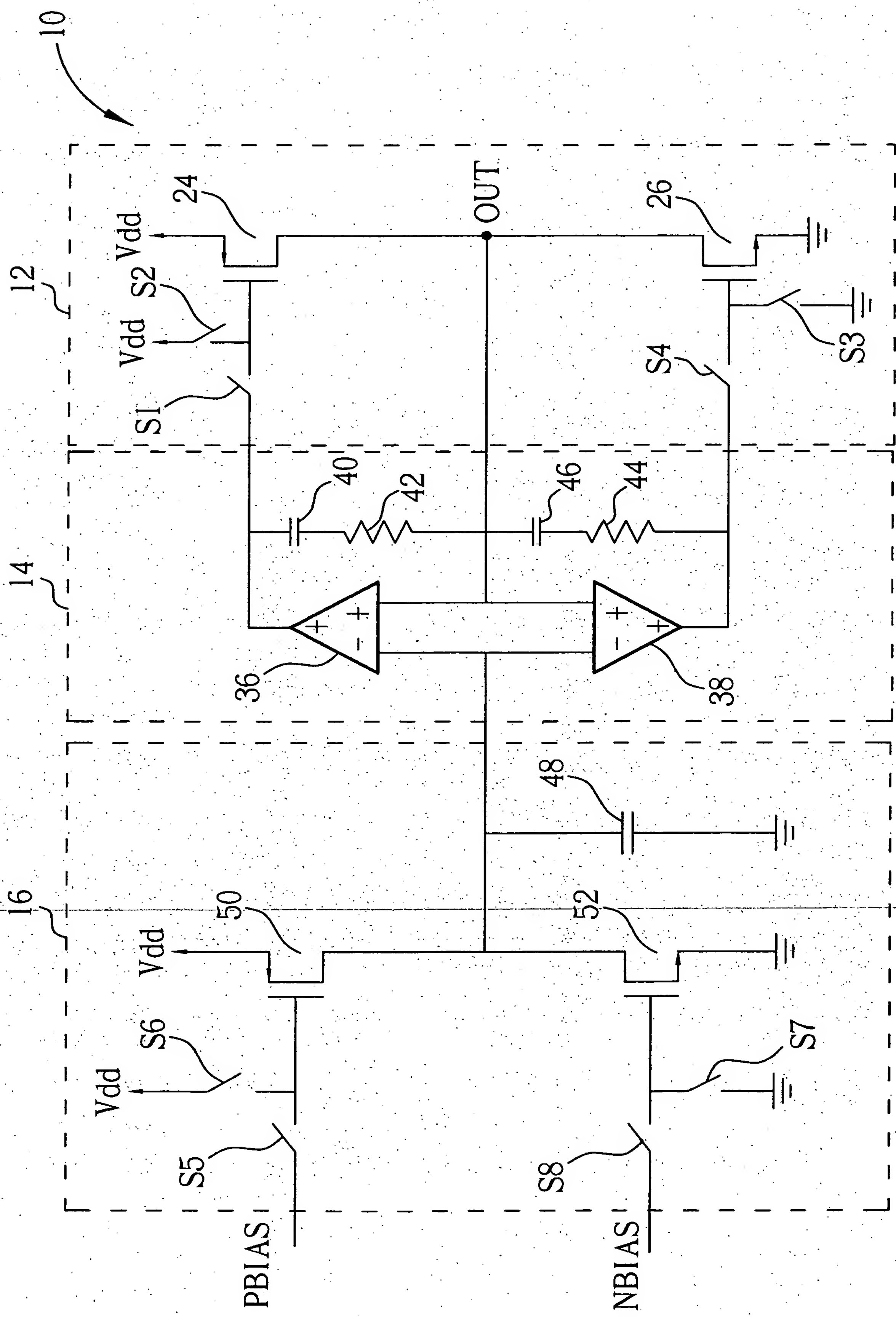




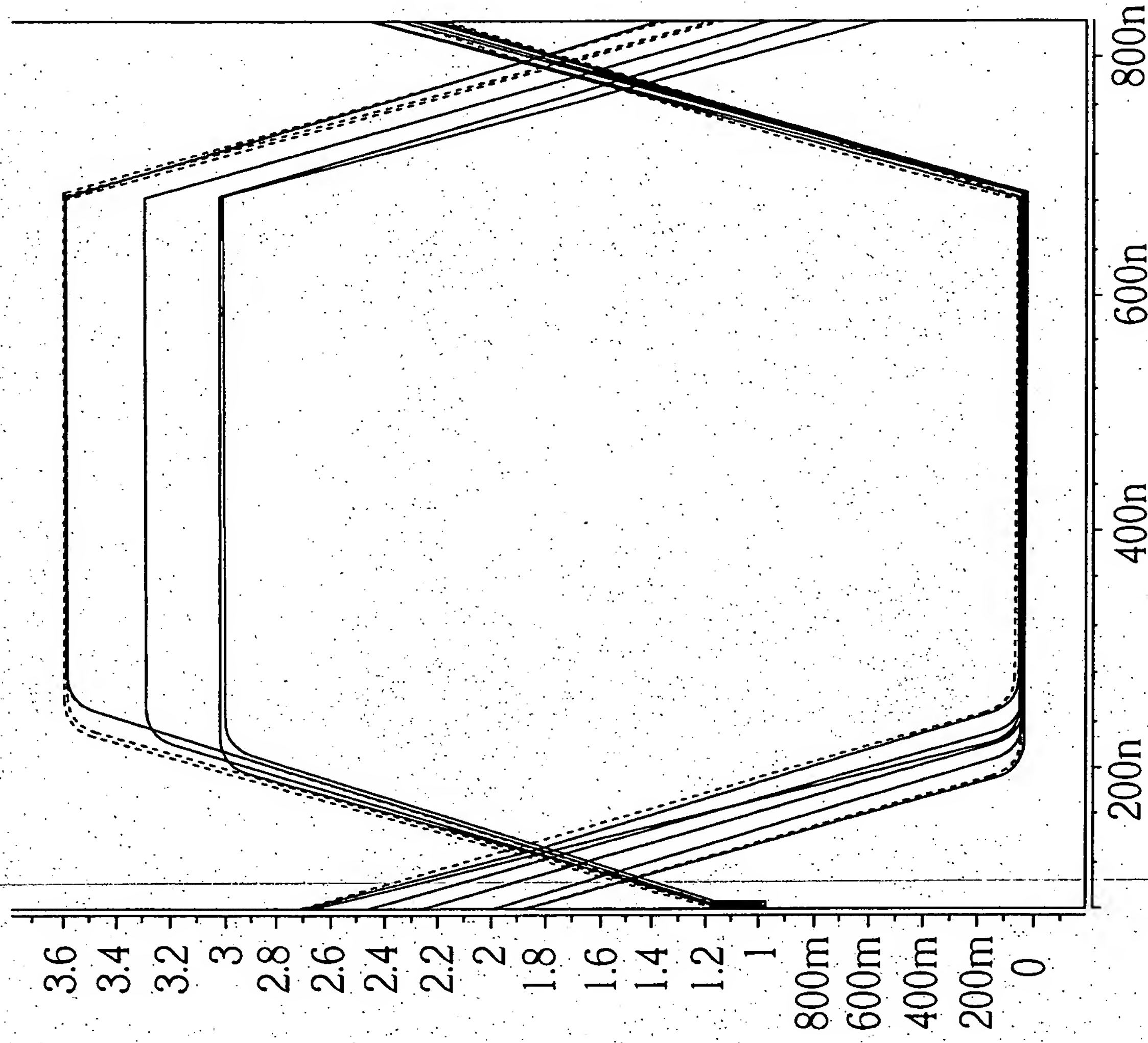
10



圖一



圖二

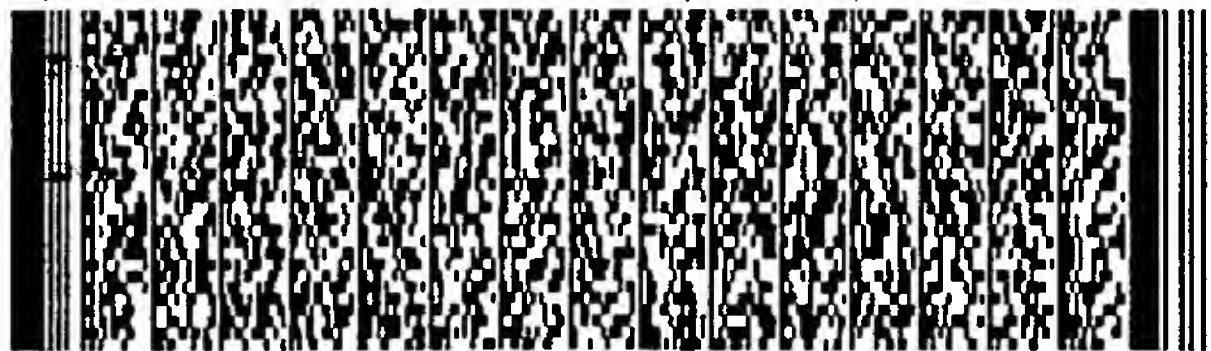


圖三

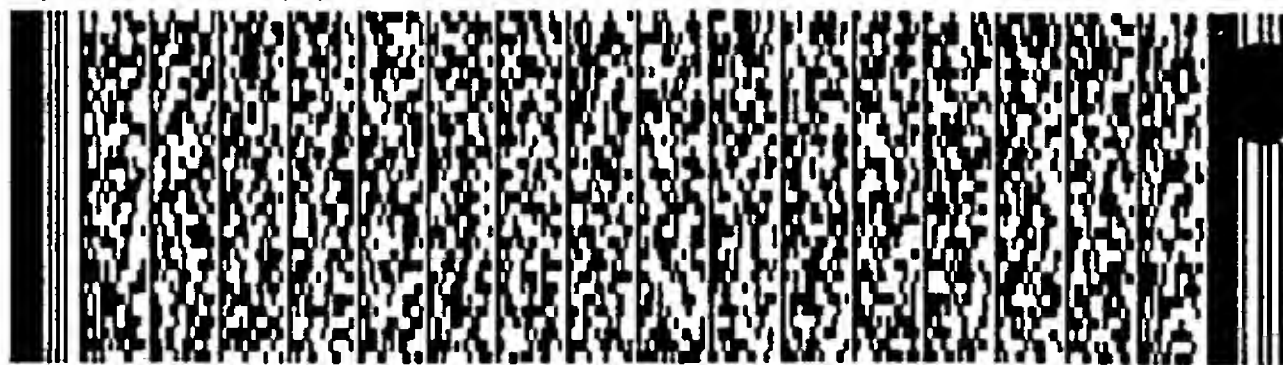




第 1/19 頁



第 2/19 頁



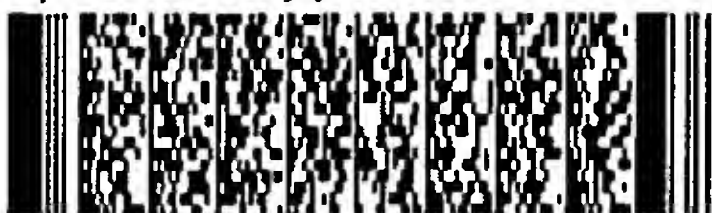
第 3/19 頁



第 4/19 頁



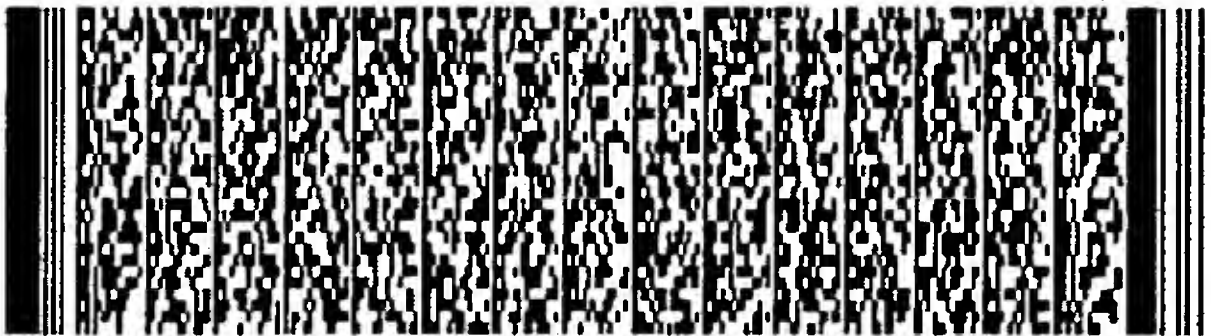
第 5/19 頁



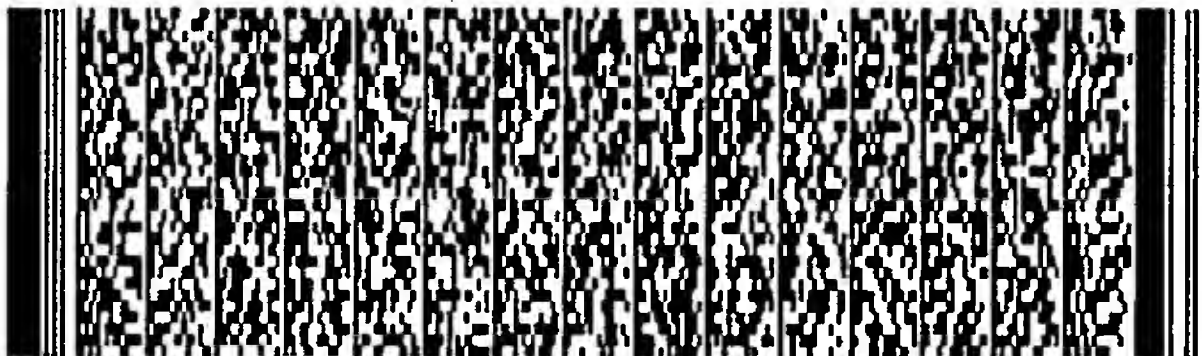
第 6/19 頁



第 6/19 頁



第 7/19 頁



第 7/19 頁



第 8/19 頁



第 9/19 頁



第 9/19 頁



第 10/19 頁



第 10/19 頁



第 11/19 頁

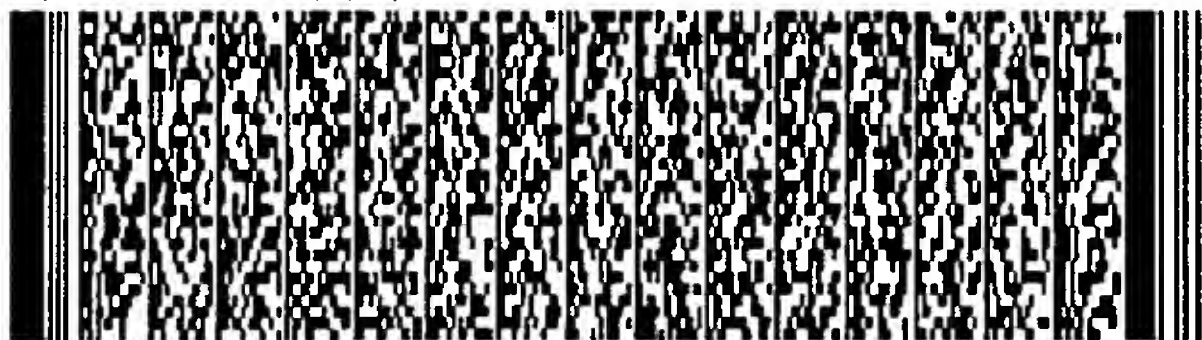


第 11/19 頁

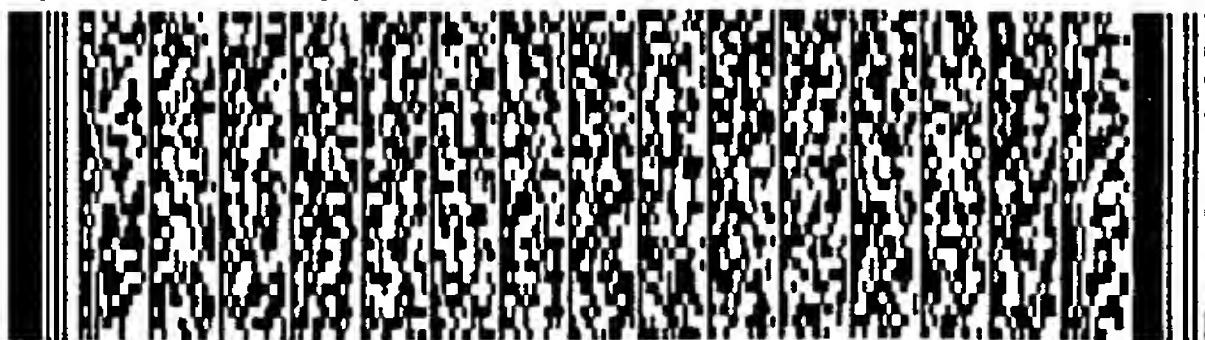




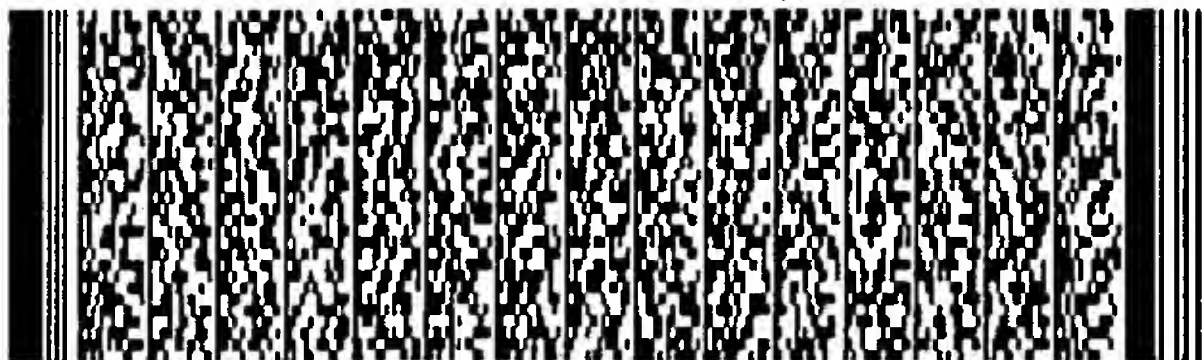
第 12/19 頁



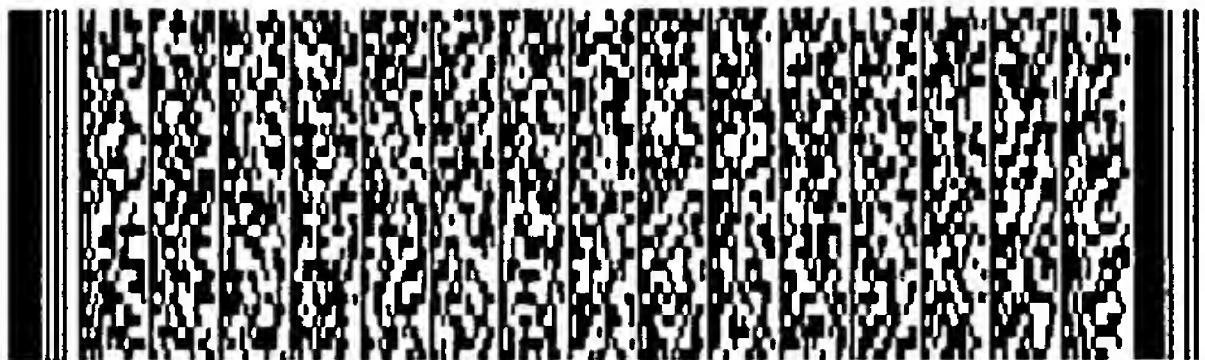
第 12/19 頁



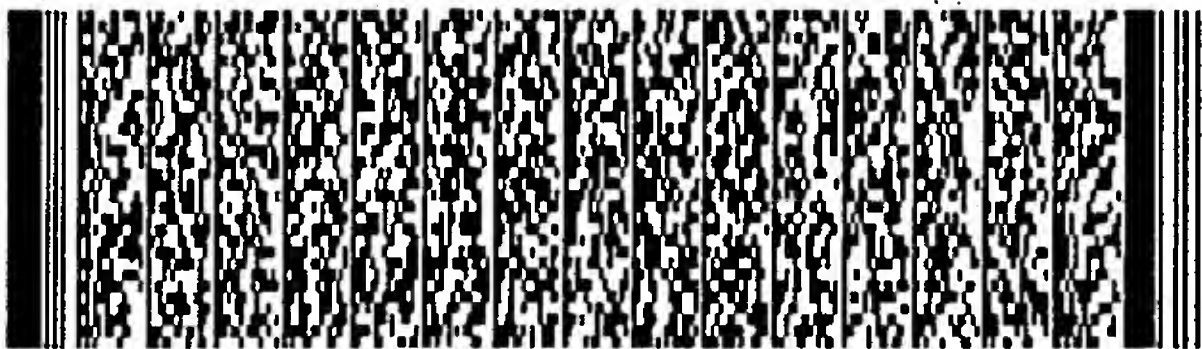
第 13/19 頁



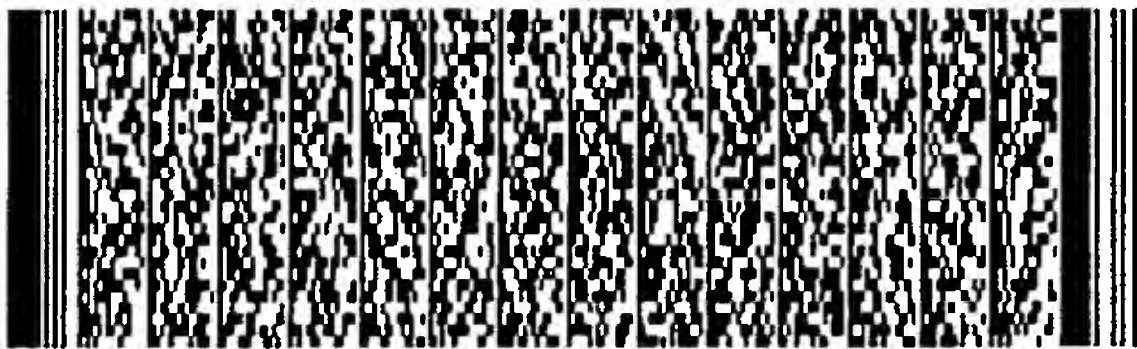
第 13/19 頁



第 14/19 頁



第 15/19 頁



第 16/19 頁



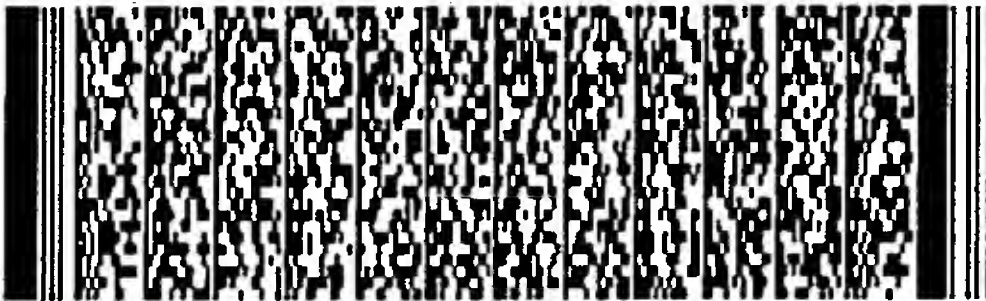
第 17/19 頁



第 18/19 頁



第 19/19 頁



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☒ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**